

*Untersuchung der Hardware-
Fehlertoleranz ausgewählter
adaptiver assoziativer
Speicherkonzepte basierend auf
neuronalen Netzen.*

Diplomarbeit

Hartmut Surmann

Abteilung Informatik
Abteilung Elektrotechnik
Universität Dortmund
Mai 1989

An dieser Stelle möchte ich mich für die Annahme und die Betreuung dieser Arbeit bei Herrn Prof. Dr. K. Goser und Prof. Dr. C. Moraga bedanken.

Mein besonderer Dank gilt Herrn Dipl. Inf. U. Rückert, einerseits für die vielen Freiräume, die er mir bei der Verwirklichung meiner Ideen ließ, und andererseits für ständige Bereitschaft, durch Diskussionen und Ratschläge zu der Gestaltung der Arbeit beizutragen.

Dank sagen möchte ich auch meinen Eltern, ohne deren Hilfe mein Studium und diese Arbeit nicht möglich gewesen wären.

Dortmund, im Mai 1989.

Inhaltsverzeichnis

I.	Einleitung	3
II.	Formalismus assoziativer Netze für VLSI - Implementierungen	7
	II.1 Definition des formalen Prozessorelementes	6
	II.2 Definition des assoziativen Netzwerkes	9
III.	Zuverlässigkeit und Fehler von Bauelementen	12
	III.1 Das Auftreten von fehlerhaften Elementen	12
	III.2 Fehlerarten	13
IV.	Fehlertoleranz des einfachen Assoziativspeichers	16
	IV.1 Einführung	16
	IV.2 Assoziativspeicher kontra aufzählender Speicher	16
	IV.3 Definition des einfachen Assoziativspeichers	18
	IV.4 Das Einspeichern von Mustern im Assoziativspeicher (Lernen)	21
	IV.5 Gesamt- und Bitfehlerwahrscheinlichkeit beim Assoziieren eines Musters	22
	IV.6 Informationsspeicherkapazität des Assoziativspeichers	28
	IV.7 Ableitungen für zerstörte Verbindungselemente	31
	IV.8 Ableitungen für gestörte Verbindungselemente	33
	IV.9 Simulationsergebnisse für Verbindungselemente	36
	IV.10 Ableitungen für gestörte Eingabevektoren	44
	IV.11 Parametervariation der Verbindungselemente	48
	IV.12 Simulation mit ASCII-Mustern	50
V.	Adaptive Verfahren zur Bestimmung der Verbindungsgewichte	s 8
	V.1 Simulation mit gestörten Eingabevektoren	63
	V.2 Simulation mit gestörten Verbindungselementen	65
	V.3 Simulation der Parametervariation von Verbindungselementen	66
	V.4 Registerbreite digitaler Verbindungselemente	67
VI.	Parametervariation eines Zwei-Bit-Analog/Digital-Konverters	70
	VI.1 Definition des Hopfield-Netzes	70
	VI.2 Der Zwei-Bit-Analog/Digital-Konverter	71
	VI.3 Der Einfluß von Parametervariation	75

VII. Simulationskonzept und Sprachbeschreibung	78
VII.1 Einführung in das Simulationskonzept	78
VII.2 Das Simulationssystem	78

Literaturverzeichnis

Anhang

I. Einleitung

Energie und Information erlangen in der Entwicklung der Technik zunehmende Bedeutung. Die Beherrschung der Energie führte im 19. Jahrhundert zur ersten industriellen Revolution, da menschliche Arbeitskraft durch maschinelle ersetzt werden konnte. In der heutigen Zeit wird versucht, menschliche Intelligenz auf elektronisch gesteuerte Rechenanlagen abzubilden und damit die komplexe Verarbeitung großer Datenmengen auf Maschinen zu übertragen.

Die Idee, menschliche Intelligenz auf Maschinen abzubilden, ist - aus der Sicht der Informatik - schon relativ alt. John von Neumann beschäftigte sich in den 50er Jahren in seinem unvollendeten Werk "Die Rechenmaschine und das Gehirn" damit, eine Beziehung zwischen mathematischen Maschinen und dem menschlichen Gehirn herzustellen. Ein Ansatzpunkt der künstlichen Intelligenz waren die "neuronalen Netzwerkmodelle" bzw. heute der Konnektionismus, deren Entwürfe auf die frühen Abhandlungen von McCulloch / Pitts (MCP43) und Hebb (HEB49) zurückgehen. Ziel war und ist es, mit Hilfe von neuronalen Netzwerkmodellen kognitive Prozesse nachzubilden, um somit damit die Ergebnisse der Neurophysiologie in die Informationsverarbeitung einzubringen. Durch die Simulation dieser Modelle erwartet man weitere Aufschlüsse über die menschliche Intelligenz.

Neuronale Netze sind informationsverarbeitende Systeme, die sich aus vielen primitiven, uniformen Einheiten zusammensetzen, und deren wesentliches Verarbeitungsprinzip die Kommunikation, d.h. die Übertragung von Nachrichten oder Signalen zwischen diesen Einheiten ist. Die Systeme arbeiten verteilt und parallel, was zu der Bezeichnung 'ParallelDistributive Processing' (PDP, in RMC86) geführt hat. Ermöglicht wird dies durch eine gleichzeitige Aktivität der uniformen Verarbeitungseinheiten (später Prozessorelemente genannt). Herkömmliche Rechnerarchitekturen sind zur Simulation großer Netzwerke ungeeignet, da die wenigen leistungsfähigen Prozessoren sehr viele einfache Elemente und deren Kommunikation simulieren müssen, was zu hohem Speicherplatzverbrauch und langen Simulationszeiten führt. Die Effizienz und vollständige Leistungsfähigkeit der hochgradig parallel arbeitenden Netze kann nur durch eine geeignete Hardware- Architektur erreicht werden.

Die Großintegration bis hin zur WSI-Technik bietet die technologische Voraussetzung für die Entwicklung sogenannter neuronaler ASICs (Anwendungs-orientierte integrierte Schaltungen). Grundlage für den Entwurf solcher Schaltungen bilden Simulationsprogramme, die im

Gegensatz zu herkömmlichen Simulatoren einen stärkeren Bezug zu Hardware-Realisierungen haben. Dadurch werden die beim Herstellungsprozeß vorkommenden Unzulänglichkeiten berücksichtigt.

Ziel dieser Arbeit ist die Untersuchung der Fehlertoleranz beim Hardware-Entwurf von Assoziativspeichern. Dazu werden im Kapitel II die Grundlagen zur Beschreibung neuronaler (assoziativer) Netze dargestellt. Kapitel III klassifiziert die in der Technologie auftretenden Fehler, deren Auswirkungen dann in Kapitel IV am Beispiel der digital-assoziativen Matrix (Palm) ausführlich untersucht werden. Die Informationsspeicherkapazität und die Bitfehlerwahrscheinlichkeit werden als Leistungskriterien für die Fehlertoleranz von Assoziativspeichern eingeführt und die Fehlertoleranz anhand dieser Leistungsmerkmale für zufällige Muster und Rasterbilder (5 x 7 Matrixen) von ASCII-Mustern untersucht. Im Kapitel V werden die Fehlertoleranz der Korrelations-Matrix (Kohonen) untersucht, wobei die Verbindungsgewichte zum einen global (Pseudoinverse) und zum anderen lokal (Delta-Regel) bestimmt werden. Am Beispiel eines neuronalen Zwei-Bit-Analog/Digital-Konverters werden in Kapitel VI die Auswirkungen der Parametervariation von Verbindungselementen eines Hopfield-Netzes beschrieben. Den Abschluß der Arbeit bildet Kapitel VII, in dem der modellunabhängige Simulator auf der Basis einer formalen Spezifikationsprache dargestellt wird. Der Simulator dient als wichtiges Hilfsmittel für die oberste Ebene eines analogen, hierarchischen Entwurfssystems für neuronal hochintegrierte Systeme.